

EXPRESS MAIL LABEL NO. EL814454825US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Atty. Docket: 00-GR1-239  
Olivier MENUT et al. : APPLICATIONS BRANCH  
Serial No. (Not Yet Assigned) :  
Filed: HEREWITH :

For: *PROCESS FOR FABRICATING A SINGLE-CRYSTAL SUBSTRATE  
AND INTEGRATED CIRCUIT COMPRISING SUCH A SUBSTRATE*

**CLAIM FOR PRIORITY UNDER 35 USC §119**

Assistant Commissioner for Patents  
Washington, D.C. 20231

SIR:


Under the provisions of 35 USC §119, there is filed herewith a certified copy of French Application No. 0100414 filed on January 12, 2001, in accordance with the International Convention for the Protection of Industrial Property, 53 Stat. 1748, under which Applicants hereby claim priority.

Respectfully submitted,

Date:

1/11/02

By:

  
Jon A. Gibbons  
Reg. No. 37,333

Fleit, Kain, Gibbons, Gutman & Bongini P.L.  
One Boca Commerce Center  
551 NW 77th Street, Suite 111  
Boca Raton, Florida 33487-1330  
Telephone: (561) 989-9811  
Facsimile: (561) 989-9812

Customer No. 23334



claimforpriority.wpd

11040 U.S. PRO  
10/044402  
01/11/02

#9  
Priority  
C. H. Gibson  
9-28-12

**THIS PAGE BLANK (USPTO)**



11040 U.S. PRO  
10/044402  
01/11/02

# BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

## COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le **14 NOV. 2001**

Pour le Directeur général de l'Institut  
national de la propriété industrielle  
Le Chef du Département des brevets

Martine PLANCHÉ

INSTITUT  
NATIONAL DE  
LA PROPRIÉTÉ  
INDUSTRIELLE

SIEGE  
26 bis, rue de Saint Petersburg  
75800 PARIS cedex 08  
Téléphone : 33 (1) 53 04 53 04  
Télécopie : 33 (1) 42 93 59 30  
[www.inpi.fr](http://www.inpi.fr)

**THIS PAGE BLANK (USPTO)**



26 bis, rue de Saint Pétersbourg  
75800 Paris Cedex 08  
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

# BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11354\*01

REQUÊTE EN DÉLIVRANCE 1/2

Cet imprimé est à remplir lisiblement à l'encre noire

08 540 W / 260899

<b>REMISE DES PIÈCES</b> <b>DATE</b> 12 JAN 2001 <b>LIEU</b> 75 INPI PARIS  <b>N° D'ENREGISTREMENT</b> 0100414 <b>NATIONAL ATTRIBUÉ PAR L'INPI</b> <b>DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI</b> 12 JAN. 2001		<b>1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE</b>  BUREAU D.A. CASALONGA-JOSSE 8, Avenue Percier 75008 PARIS	
<b>Vos références pour ce dossier (facultatif)</b> B 00/ 3258 FR			
<b>Confirmation d'un dépôt par télécopie</b> <input type="checkbox"/> N° attribué par l'INPI à la télécopie			
<b>2 NATURE DE LA DEMANDE</b>		<b>Cochez l'une des 4 cases suivantes</b>	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
<i>Demande de brevet initiale</i> N° _____ Date ____ / ____ / ____ <i>ou demande de certificat d'utilité initiale</i> N° _____ Date ____ / ____ / ____			
Transformation d'une demande de brevet européen <i>Demande de brevet initiale</i> N° _____ Date ____ / ____ / ____			
<b>3 TITRE DE L'INVENTION (200 caractères ou espaces maximum)</b>  Procédé de fabrication d'un substrat monocristallin, et circuit intégré comportant un tel substrat.			
<b>4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE</b>		Pays ou organisation _____ N° _____ Date ____ / ____ / ____ Pays ou organisation _____ N° _____ Date ____ / ____ / ____ Pays ou organisation _____ N° _____ Date ____ / ____ / ____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
<b>5 DEMANDEUR</b>		<input type="checkbox"/> S'il y a d'autres demandeurs, cochez la case et utilisez l'imprimé «Suite»	
Nom ou dénomination sociale		STMicroelectronics SA	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN			
Code APE-NAF			
Adresse	Rue	7 avenue Galliéni	
	Code postal et ville	94250	GENTILLY
Pays		FRANCE	
Nationalité		Française	
N° de téléphone (facultatif)			
N° de télécopie (facultatif)			
Adresse électronique (facultatif)			

**BREVET D'INVENTION  
 CERTIFICAT D'UTILITÉ**

REQUÊTE EN DÉLIVRANCE 2/2

REMISE DES PIÈCES DATE <b>12 JAN 2001</b> LIEU <b>75 INPI PARIS</b> N° D'ENREGISTREMENT <b>0100414</b> NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI DB 540 W / 260899
<b>Vos références pour ce dossier :</b> <i>(facultatif)</i>		B 00/3258 FR
<b>6 MANDATAIRE</b>		
Nom		
Prénom		
Cabinet ou Société		BUREAU D.A. CASALONGA-JOSSE
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	8, Avenue Percier
	Code postal et ville	75008   PARIS
N° de téléphone <i>(facultatif)</i>		
N° de télécopie <i>(facultatif)</i>		
Adresse électronique <i>(facultatif)</i>		
<b>7 INVENTEUR (S)</b>		
Les inventeurs sont les demandeurs		<input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non Dans ce cas fournir une désignation d'inventeur(s) séparée
<b>8 RAPPORT DE RECHERCHE</b>		
Établissement immédiat ou établissement différé		<input checked="" type="checkbox"/> <input type="checkbox"/>
Paiement échelonné de la redevance		<b>Paiement en deux versements, uniquement pour les personnes physiques</b> <input type="checkbox"/> Oui <input type="checkbox"/> Non
<b>9 RÉDUCTION DU TAUX DES REDEVANCES</b>		
<b>Uniquement pour les personnes physiques</b> <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Requête antérieurement à ce dépôt <i>(joindre une copie de la décision d'admission pour cette invention ou indiquer sa référence) :</i>		
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
<b>10 SIGNATURE DU DEMANDEUR OU DU MANDATAIRE</b> (N m t qualit' du signatair )		<b>VISA DE LA PRÉFECTURE OU DE L'INPI</b> P. BERNQUIS

**Procédé de fabrication d'un substrat monocristallin, et circuit intégré comportant un tel substrat**

5 L'invention concerne les circuits intégrés, et plus particulièrement la préparation d'un substrat initial monocristallin, par exemple en silicium, présentant une discontinuité du réseau cristallin, telle qu'une tranchée enterrée, en vue de la croissance par épitaxie d'une couche de silicium monocristallin homogène. L'invention  
10 concerne également des dispositifs semi conducteurs réalisés sur de tels substrats.

Les procédés de fabrication des composants semiconducteurs peuvent détruire la continuité cristalline de la surface d'une partie du substrat initial semiconducteur monocristallin. C'est notamment le cas  
15 lors de la réalisation de tranchées que l'on remplit afin de réaliser une isolation diélectrique, un condensateur, ou bien une jonction. Le substrat semiconducteur présente, à l'endroit de la tranchée, un matériau différent sans structure cristalline. En conséquence la surface de la partie du substrat occupée par la tranchée, ou plus généralement  
20 par tout autre défaut cristallin localisé, est inutilisable pour réaliser des dispositifs semiconducteurs, en particulier des jonctions ou bien des oxydes thermiques fins.

En effet, les jonctions traversées par un défaut cristallin présentent des courants de fuite. Les oxydes ayant crû à partir d'un  
25 défaut cristallin présentent des faibles tensions de claquage ou des courts-circuits.

L'invention vise à apporter une solution à ces problèmes.

Un but de l'invention est de permettre la réalisation d'un substrat monocristallin autorisant la formation ultérieure d'une couche  
30 épitaxiale de silicium exempte de défauts cristallins.

Plus précisément, l'invention a notamment pour but de préparer un substrat monocristallin permettant de réparer les défauts localisé de

surface et d'assurer une planéité et une homogénéité de surface ainsi qu'une continuité du réseau cristallin de cette surface.

L'invention propose donc un procédé de fabrication d'un substrat monocristallin semiconducteur, dans lequel

- 5 a) on élabore un substrat initial monocristallin présentant localement et en surface au moins une discontinuité du réseau cristallin,
- b) on évide le substrat initial au niveau de la discontinuité,
- 10 c) on amorphise le réseau cristallin en périphérie de l'évidement,
- d) on dépose sur la structure obtenue à l'étape c) une couche de matière amorphe ayant la même composition chimique que celle du substrat initial,
- 15 e) on effectue un recuit thermique de la structure obtenue à l'étape d) afin de recristalliser la matière amorphe en continuité avec le réseau monocristallin du substrat initial.

L'invention permet donc par exemple de réaliser en surface une couche de silicium monocristallin qui, en continuité avec le reste du substrat initial en silicium, offre une surface parfaitement plane et uniforme sur laquelle  
20 on peut développer par épitaxie une couche de silicium monocristallin exempte de défaut cristallin.

Le procédé peut comprendre, préalablement ou postérieurement à l'étape e), une étape d'aplanissement de surface, par exemple un polissage mécano-chimique.

25 Le substrat initial comporte par exemple au moins un matériau pris dans le groupe formé par le silicium, le germanium, le carbure de silicium, l'arséniure de gallium, et un alliage de certains au moins des éléments précédents.

30 L'étape d'amorphisation comporte par exemple une implantation ionique localisée autour de l'évidement par une opération de masquage. L'implantation peut utiliser des particules lourdes, par exemple des ions fluorures.

L'invention s'applique avantageusement lorsque la discontinuité du réseau cristallin est formée par une tranchée .



Ainsi, selon un mode de mise en oeuvre, dans l'étape a), on dépose successivement sur le substrat initial une première couche d'un premier matériau, par exemple du dioxyde de silicium, et une deuxième couche d'un deuxième matériau, par exemple du nitrure de silicium, puis on grave une tranchée que l'on remplit avec un matériau de remplissage, ladite tranchée remplie formant ladite discontinuité de réseau cristallin.

Dans l'étape b), on effectue une gravure sélective vis-à-vis de ladite deuxième couche, de la première couche et d'une partie supérieure du matériau de remplissage de la tranchée, de façon à former des cavités latérales et ledit évidemment au niveau de la discontinuité cristalline, et on retire ladite deuxième couche.

Le matériau de remplissage peut comporter au moins un élément pris dans le groupe formé par le silicium, un oxyde de silicium, un nitrure de silicium. Le remplissage peut être hétérogène et utiliser plusieurs types d'isolants. Il peut également comporter en son centre un matériau conducteur, par exemple du polysilicium dopé ou non, ou de l'air, ou être partiellement remplie d'un matériau de remplissage isolant avec de l'air au milieu.

Le remplissage peut s'effectuer par dépôt conforme d'oxyde de silicium, ou encore par oxydation thermique du silicium.

Dans l'étape a), on peut réaliser dans la tranchée un condensateur enterrée.

Dans ce cas, le remplissage de la tranchée peut comprendre les étapes suivantes :

- on tapisse les parois de la tranchée avec de l'oxyde par oxydation thermique ;
- on dépose du silicium polycristallin fortement dopé dans la tranchée de manière à la remplir ;
- on grave le silicium polycristallin déposé précédemment de manière à ce que le niveau de remplissage de la tranchée soit en dessous de la surface du substrat initial.

Dans l'étape a), on peut réaliser dans la tranchée une diode enterrée.

Dans ce cas, le remplissage de la tranchée peut comprendre les étapes suivantes :

- on dépose du silicium polycristallin fortement dopé dans la tranchée de manière à la remplir ;
- 5        - on grave le silicium polycristallin déposé précédemment de manière à ce que le niveau de remplissage de la tranchée soit en dessous de la surface du substrat initial.

D'une façon générale selon l'invention, l'obturation des tranchées par un "bouchon" de matériau (silicium par exemple) monocristallin permet par ailleurs une plus grande liberté en ce qui  
10        concerne la largeur et la nature des tranchées réalisées.

La demanderesse a constaté que ce degré de liberté supplémentaire permet, de manière avantageuse, de réaliser des composants électroniques enterrés dans un substrat. La réalisation de  
15        composants électroniques enterrés, tels que capacités ou diodes, se traduit pour des dispositifs semi conducteurs réalisés ultérieurement sur des substrats à surface uniformisée, par un gain de place et de performance et de fonctionnalité.

L'invention a également pour objet un circuit intégré, comprenant un substrat en silicium monocristallin réalisé conformément au procédé défini ci-avant.  
20       

Ce circuit peut comprendre au moins deux transistors adjacents, par exemple de technologie CMOS ou BiCMOS, réalisés au sein dudit substrat comportant au moins une tranchée enterrée et dont la surface est uniformisée conformément au procédé ci-avant. Ladite tranchée forme  
25        une tranchée isolante séparant les couches enterrées contiguës des transistors.

D'autres avantages et caractéristique de l'invention apparaîtront à l'examen de la description détaillée de variantes de réalisation, nullement limitatives.  
30       

Ces variantes seront décrites par référence aux figures annexées qui représentent schématiquement les étapes principales de variantes du procédé de fabrication d'un substrat selon l'invention.

Les figures 1a à 1h représentent schématiquement les étapes principales du procédé de fabrication d'un substrat d'un semi conducteur comportant au moins une tranchée isolante.

5 Les figures 2a à 2f représentent schématiquement les étapes principales du procédé de fabrication d'un substrat semi conducteur comportant au moins une capacité enterrée.

Les figures 3a à 3d représentent schématiquement les étapes principales du procédé de fabrication d'un substrat semi conducteur comportant au moins une diode enterrée.

10 Le substrat de départ du procédé de l'invention, ou substrat initial 1, est illustré sur la figure 1a et comporte ici au moins une tranchée étroite. Cette tranchée peut être profonde ou peu profonde. Elle peut être réalisée, selon une mise en œuvre du procédé de l'invention, par dépôt dans un premier temps d'une couche d'oxyde de silicium 2 sur le substrat initial en silicium monocristallin 1.  
15 L'épaisseur de cette couche 2 peut varier entre 0,01 micron et 1 micron, et est de préférence de l'ordre de 2000 Å.

On dépose ensuite sur l'oxyde 2 une couche de nitrure de silicium 3. L'épaisseur de cette couche 3 peut également varier entre  
20 0,01 micron et 1 micron, et est également de préférence de l'ordre de 2000 Å.

On grave ensuite de façon anisotrope et de manière classique, tout d'abord le nitrure 3 et l'oxyde 2, puis finalement le silicium monocristallin du substrat 1 à l'aide d'une opération de photo-lithographie, pour former la tranchée 4.  
25

La tranchée 4 a une profondeur comprise entre 1 et 15µm et de largeur variable, de préférence inférieure à 1µm.

Selon le procédé de l'invention, on remplit ensuite la tranchée 4 ainsi gravée avec le matériau de remplissage approprié à l'usage que  
30 l'on souhaite faire de cette tranchée.

Selon une première variante, on réalise une tranchée isolante en vue, par exemple, de séparer des couches enterrées contiguës de conductivité inverse.

Ainsi, selon cette variante du procédé de l'invention, on remplit la tranchée 4 avec un matériau diélectrique. Comme matériau diélectrique, on choisit de préférence de l'oxyde de silicium.

5 Le remplissage de la tranchée avec l'oxyde de silicium 5 peut se faire de différentes façons classiques.

On peut envisager le dépôt d'oxyde de silicium conforme comme l'illustre la figure 1b. L'oxyde se dépose alors également sur toute la surface de la plaquette.

10 On préférera toutefois utiliser le dépôt d'oxyde de silicium par oxydation thermique comme cela est illustré à la figure 1c. D'une part, il s'agit là d'une méthode plus adaptée à la présence de tranchées éventuellement étroites. D'autre part, on obtient un oxyde plus dense qu'avec le dépôt conforme. Par ailleurs, dans la mesure où l'oxyde de silicium ne croît que sur le silicium, seule la tranchée 4, légèrement  
15 élargie par l'oxydation du silicium des parois, est remplie d'oxyde.

Conformément au procédé de l'invention, on effectue ensuite une désoxydation contrôlée, et essentiellement de manière à former sous la couche de nitrure de silicium 3 deux cavités latérales de largeur donnée dans la couche d'oxyde 2 comme l'illustre la figure 1d.  
20 Dans le cadre de la première variante du procédé de l'invention, on retire également une partie de l'oxyde de silicium 5 dans la tranchée 4 et, le cas échéant, la couche d'oxyde de silicium en surface de la plaquette.

25 Cette désoxydation s'effectue par gravure isotrope à l'acide fluorhydrique ou encore par gravure plasma isotrope au fluor.

On retire ensuite de manière classique la couche de nitrure de silicium.

30 L'étape suivante du procédé de l'invention est illustrée à la figure 1e et consiste à amorphiser le silicium découvert. Il s'agit du silicium monocristallin du substrat initial 1 découvert par l'étape de désoxydation. Ces zones sont référencés 6. L'amorphisation est localisée et auto-alignée. L'amorphisation s'effectue de manière classique par destruction du réseau cristallin du silicium, par exemple par implantation de particules lourdes telles que les ions. Dans le

cadre de l'invention, on préférera notamment l'implantation d'ions fluorure.

5 Selon le procédé de l'invention, et tel qu'illustré à la figure 1f, on dépose ensuite une couche de silicium amorphe 7 de manière à au moins combler les cavités latérales et l'évidemment au-dessus de la tranchée 4. Le dépôt de silicium amorphe se fait de manière classique à basse température. On peut par exemple utiliser un four LPCVD (dépôt chimique basse pression) en injectant du silane à température suffisamment faible, par exemple inférieure à 600°C, typiquement à 10 400°C.

La figure 1g illustre une mise en œuvre particulière de l'invention selon laquelle on effectue un recuit préalablement aux étapes d'égénéralisation de la surface du substrat. Le recuit thermique permet de recristalliser le silicium amorphe en créant une ré-épitaxie 15 du silicium amorphe 6, 7 à partir du silicium monocristallin du substrat initial 1. La restructuration du réseau de silicium monocristallin conduit à la figure 1g où la précédente couche de silicium amorphe se fond maintenant avec le silicium monocristallin du substrat 1.

20 On effectue ensuite un polissage mécano chimique s'arrêtant sur la couche d'oxyde de silicium 2 pour retirer la couche de silicium recristallisé en surface de la plaquette. On élimine ensuite de manière classique la couche d'oxyde de silicium 2. Puis, afin de planifier la surface, on soumet la plaquette à un ultime polissage mécano 25 chimique.

Après cette succession d'étapes, on obtient, selon la première variante du procédé de l'invention, un substrat final en silicium monocristallin 1 présentant une surface monocristalline parfaitement plane et uniforme sur laquelle il sera possible de réaliser une épitaxie 30 exempte de défaut. Ce substrat semi conducteur comporte une tranchée isolante enterrée référencée 5 sur la figure 1h.

Selon une deuxième variante, on peut réaliser un substrat en silicium dont la surface est uniformisée selon le procédé de l'invention et qui comporte, réalisée dans une tranchée, une capacité enterrée.

En vue de la réalisation d'un tel substrat, on réalise tout d'abord une tranchée 4 dans le substrat 1 tel qu'illustré à la figure 1a conformément à ce qui précède. On effectue ensuite une oxydation thermique contrôlée de manière à former sur les parois de la tranchée 4 une couche d'oxyde de silicium 8 d'épaisseur comprise entre 40 et 1000 Å, de préférence entre 50 et 300 Å. on obtient le dispositif illustré à la figure 2a.

On dépose ensuite sur la plaquette et de manière à remplir la tranchée 4, du silicium polycristallin 9 fortement dopé. Le dopage du silicium est réalisé in situ.

On obtient un dispositif tel qu'illustré à la figure 2b.

Conformément au procédé de l'invention, on grave ensuite le silicium polycristallin 9, déposé précédemment, au moins de manière à le retirer de la surface de la plaquette. Par ailleurs, cette gravure est menée jusqu'à ce que le niveau du silicium polycristallin dans la tranchée 4 soit en dessous de la surface du substrat initial 1.

L'étape suivante consiste en une désoxydation contrôlée telle que décrite précédemment dans le cadre de la première variante. On obtient alors le dispositif illustré à la figure 2c sur laquelle la tranchée est tapissée d'une couche d'oxyde de silicium 8 dont la hauteur est inférieure à la hauteur de la couche de silicium polycristallin dopé 9 dans la tranchée 4. Deux cavités latérales de largeur donnée apparaissent, sous la couche de nitrure de silicium 3, dans la couche d'oxyde de silicium 2.

On retire ensuite de manière classique le masque de nitrure de silicium 3.

Conformément au procédé de l'invention, on amorphise ensuite le silicium découvert.

Dans le cadre de cette deuxième variante du procédé de l'invention, le silicium découvert à ce stade du procédé est le silicium monocristallin du substrat 1, ainsi que la partie émergente de silicium polycristallin dopé 9 dans la tranchée 4. On crée ainsi des zones de silicium amorphe référencées 6 et 6bis.

On dépose ensuite sur toute la surface de la plaquette une couche de silicium amorphe 7 conformément à ce qui a été décrit plus haut dans le cadre de la première variante. On obtient alors le dispositif illustré à la figure 2d, sur laquelle dans une tranchée 4 gravée dans un substrat 1, un bloc de silicium polycristallin 9 est partiellement enveloppé dans une couche d'oxyde de silicium 8. La hauteur de ce bloc, inférieure à celle de la tranchée 4, est également inférieure à la hauteur de l'enveloppe d'oxyde de silicium 8. Cet élément est surmonté d'une zone de silicium amorphe comportant les zones de silicium amorphisé 6 et 6bis et le silicium amorphe 7 déposé.

Conformément à une mise en œuvre particulière du procédé de l'invention, et comme décrit plus haut dans le cadre de la première variante, on effectue un recuit thermique de manière à restaurer la structure cristalline du silicium amorphe. Comme l'illustre la figure 2e, le silicium recristallisé se confond avec le silicium monocristallin du substrat 1.

Après les étapes d'égalisation de la surface du substrat, qui sont les mêmes que pour la première variante, on obtient un substrat en silicium monocristallin illustré à la figure 2f, dont la surface monocristalline parfaitement plane et uniforme permet la croissance épitaxiale sans défaut de silicium monocristallin. Le substrat comporte par ailleurs une capacité enterrée constituée de silicium polycristallin 90 fortement dopé partiellement enveloppé d'une paroi d'oxyde de silicium 8 le séparant latéralement du substrat 1. Au-dessus de cette capacité enterrée et dans le substrat 1, il subsiste une zone fortement dopée 1bis, de même conductivité que le silicium polycristallin 90. Cette zone correspond à la zone de silicium polycristallin amorphisée 6bis ainsi qu'à la partie de silicium 7 dopée par diffusion des dopants lors du recuit.

Selon une troisième variante, il est également possible de réaliser une diode enterrée dans un substrat en silicium dont la surface est uniformisée conformément au procédé de l'invention en vue d'une épitaxie homogène permettant la réalisation de composants électroniques.

Selon cette variante, on dépose dans une tranchée réalisée conformément à ce qui précède du silicium polycristallin 10 fortement dopé. Selon le mode de réalisation illustré à la figure 3a, on a envisagé un substrat 1 dopé N et du silicium polycristallin 10 dopé P+. Toutefois, des conductivités inverses entrent également dans le cadre de l'invention.

On retire ensuite la couche de silicium polycristallin 10 formée en surface selon des méthodes habituelles. Le retrait du silicium polycristallin 10 est mené jusqu'à l'obtention d'un niveau de remplissage qui soit inférieur à la surface du substrat 1.

Cette étape est suivie, conformément au procédé de l'invention, par une désoxydation contrôlée. Cette désoxydation est plus amplement décrite plus haut dans le cadre de la première variante. On obtient alors le dispositif illustré à la figure 3b.

Conformément au procédé de l'invention, on retire ensuite la couche de nitrure de silicium 3 selon des méthodes classiques.

Puis on amorphise le silicium découvert. Dans le cas de cette troisième variante, le silicium découvert est composé des zones 6 du silicium monocristallin du substrat 1 apparent du fait de la désoxydation et de la gravure du silicium polycristallin remplissant la tranchée, ainsi que de la partie supérieure 6ter de ce matériau dans la tranchée. On dépose ensuite selon les méthodes classiques une couche de silicium amorphe 7 de conductivité inverse à celle du silicium polycristallin 10 dans la tranchée 4. Cette couche se confond avec les zones de silicium amorphisé 6 et 6ter. On obtient alors le substrat illustré à la figure 3c.

Conformément au procédé de l'invention, on procède ensuite à un recuit thermique qui permet de recristalliser le silicium amorphe. Dans le cadre de cette troisième variante, le recuit permet également la diffusion des dopants P+ dans le substrat N formant une enveloppe de silicium monocristallin 11 dopée P autour du silicium polycristallin 10 fortement dopé P+.

On procède ensuite, selon une mise en œuvre particulière du procédé de l'invention, à l'égalesation de la surface du substrat 1 par



retrait de la couche d'oxyde de silicium 2 et polissage mécano chimique de la plaquette.

5 On obtient alors le substrat illustré à la figure 3d (vue en coupe) qui présente une surface monocristalline parfaitement plane et uniforme permettant une épitaxie homogène de silicium monocristallin. Le substrat comporte en outre une diode enterrée constituée d'une zone fortement dopée P+ entièrement entourée d'une enveloppe d'épaisseur donnée dopée P.

10 La possibilité de réaliser un substrat en silicium comportant tranchées isolantes enterrées ou composants enterrés, et dont la surface est parfaitement plane et uniforme ouvre de nouveaux horizons à la réalisation de dispositifs semi conducteurs.

15 Comme cela a été évoqué précédemment, des substrats comportant des tranchées isolantes peuvent être avantageusement utilisés pour la réalisation de dispositifs semi conducteurs comportant plusieurs transistors adjacents. Non seulement ces dispositifs ne présentent pas ou très peu de risques d'abaissement de la tension de claquage ou de perçage des couches enterrées, mais encore la couche épitaxiale de silicium monocristallin dans laquelle sont réalisés les transistors, exempts de défaut cristallin, est appropriée à la réalisation de tout type de modules architecturaux.

20 L'uniformisation selon l'invention de la surface de substrat comportant des éléments enterrés réalisés dans des tranchées, présente l'avantage de pouvoir réaliser sur de tels substrats des dispositifs extrêmement fiables et performant, et moins encombrants. Ce deuxième aspect est particulièrement intéressant si on considère la diminution constante des dimensions des circuits intégrés, ainsi que leur degré d'intégration élevé.

30

## REVENDICATIONS

1. Procédé de fabrication d'un substrat monocristallin  
semiconducteur, dans lequel

- 5           a) on élabore un substrat initial monocristallin (1) présentant  
            localement et en surface au moins une discontinuité (4) du  
            réseau cristallin,  
            b) on évide le substrat initial au niveau de la discontinuité,  
            c) on amorphise le réseau cristallin en périphérie de  
10           l'évidemment,  
            d) on dépose sur la structure obtenue à l'étape c) une couche  
            de matière amorphe ayant la même composition chimique  
            que celle du substrat initial,  
            e) on effectue un recuit thermique de la structure obtenue à  
15           l'étape d) afin de recristalliser la matière amorphe en  
            continuité avec le réseau monocristallin du substrat initial.

2. Procédé selon la revendication 1, caractérisé par le fait qu'il  
comprend, préalablement ou postérieurement à l'étape e), une étape  
d'aplanissement de surface.

20           3. Procédé selon la revendication 2, caractérisé par le fait que  
l'étape d'aplanissement comporte un polissage mécano-chimique.

            4. Procédé selon l'une des revendications précédentes,  
caractérisé par le fait que le substrat initial comporte au moins un  
matériau pris dans le groupe formé par le silicium, le germanium, le  
25           carbure de silicium, l'arséniure de gallium, et un alliage de certains au  
            moins des éléments précédents.

            5. Procédé selon l'une des revendications précédentes,  
caractérisé par le fait que l'étape d'amorphisation comporte une  
implantation ionique localisée autour de l'évidemment par une opération  
30           de masquage.

            6. Procédé selon l'une des revendications précédentes,  
caractérisé par le fait que dans l'étape a), on dépose successivement sur  
le substrat initial (1) une première couche (2) d'un premier matériau et

une deuxième couche (3) d'un deuxième matériau, puis on grave une tranchée (4) que l'on remplit avec un matériau de remplissage, ladite tranchée remplie formant ladite discontinuité de réseau cristallin,

5 et par le fait que dans l'étape b), on effectue une gravure sélective vis-à-vis de ladite deuxième couche (3), de la première couche et d'une partie supérieure du matériau de remplissage de la tranchée, de façon à former des cavités latérales et ledit évidemment au niveau de la discontinuité cristalline, et on retire ladite deuxième couche (2).

10 7. Procédé selon la revendication 6, caractérisé par le fait que le matériau de remplissage comporte au moins un élément pris dans le groupe formé par le silicium, un oxyde de silicium, un nitrure de silicium.

15 8. Procédé selon la revendication 6, caractérisé par le fait que la tranchée est au moins partiellement remplie d'un matériau de remplissage isolant.

9. Procédé selon la revendication 6, caractérisé par le fait que le remplissage s'effectue par dépôt conforme d'oxyde de silicium.

10. Procédé selon la revendication 6, caractérisé en ce que le remplissage s'effectue par oxydation thermique du silicium.

20 11. Procédé selon l'une des revendication 6 à 10, caractérisé en ce que dans l'étape a), on réalise dans la tranchée (4) une capacité enterrée.

12. Procédé selon la revendication 11, caractérisé en ce que dans l'étape a), le remplissage de la tranchée comprend les étapes suivantes :

25 - on tapisse les parois de la tranchée (4) avec de l'oxyde (8) par oxydation thermique ;  
- on dépose du silicium polycristallin (9) fortement dopé dans la tranchée (4) de manière à la remplir ;  
- on grave le silicium polycristallin (9) déposé précédemment de  
30 manière à ce que le niveau de remplissage de la tranchée (4) soit en dessous de la surface du substrat initial (1).

13. Procédé selon l'une des revendication 6 à 10, caractérisé en ce que dans l'étape a), on réalise dans la tranchée (4) une diode enterrée.



14. Procédé selon la revendication 13, caractérisé en ce que dans l'étape a), le remplissage de la tranchée comprend les étapes suivantes :

- on dépose du silicium polycristallin (10) fortement dopé dans la tranchée (4) de manière à la remplir ;
- 5        - on grave le silicium polycristallin (10) déposé précédemment de manière à ce que le niveau de remplissage de la tranchée (4) soit en dessous de la surface du substrat initial (1).

10        15. Circuit intégré, comprenant un substrat en silicium monocristallin réalisé conformément au procédé selon l'une quelconque des revendications 1 à 14.

15        16. Circuit intégré selon la revendication 15, caractérisé par le fait qu'il comprend au moins deux transistors adjacents réalisés au sein dudit substrat comportant au moins une tranchée enterrée et dont la surface est uniformisée conformément au procédé selon l'une des revendications 6 à 10, ladite tranchée formant une tranchée isolante séparant les couches enterrées contiguës des transistors.

FIG.1a

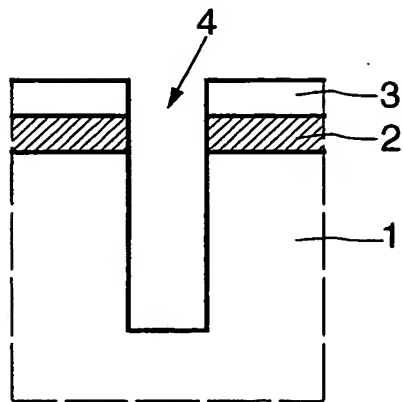


FIG.1b

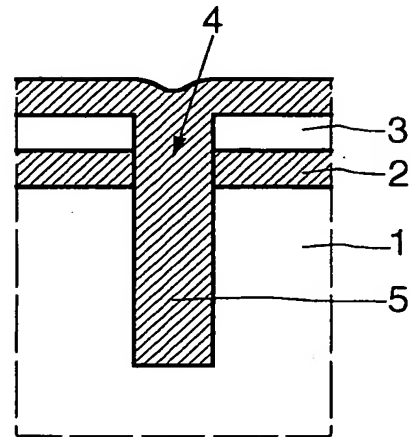


FIG.1c

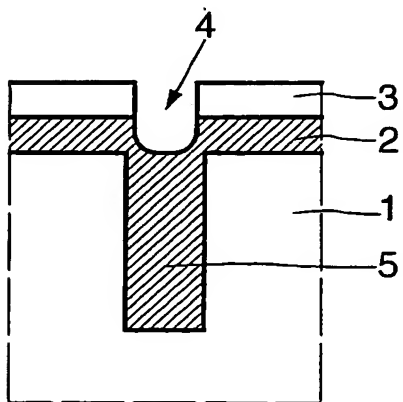


FIG.1d

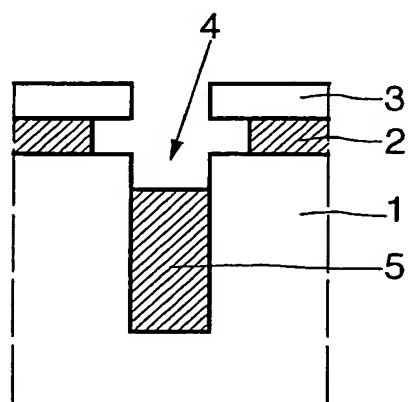


FIG.1e

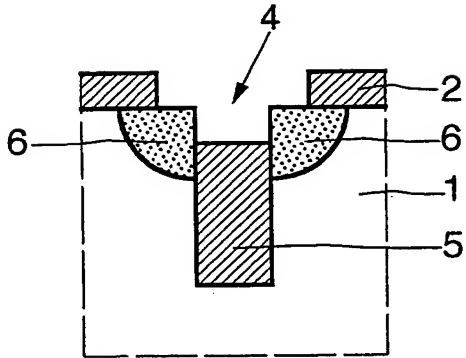


FIG.1f

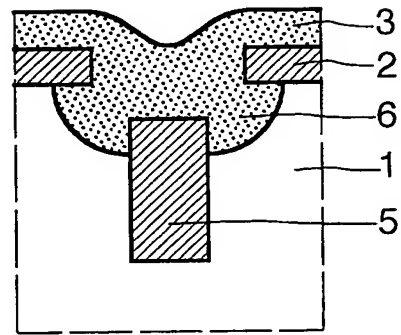


FIG.1g

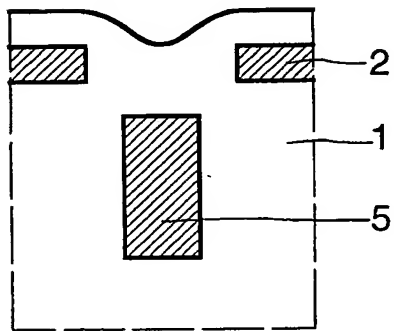
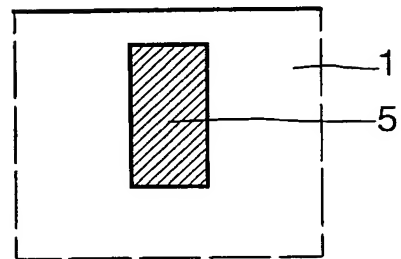


FIG.1h



3/4

FIG.2a

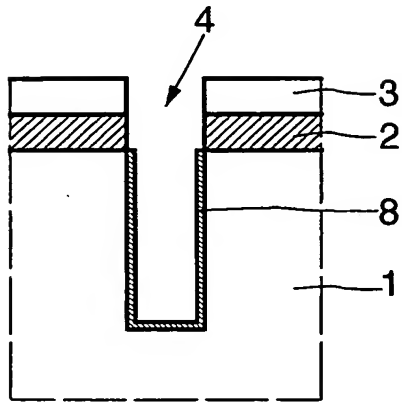


FIG.2b

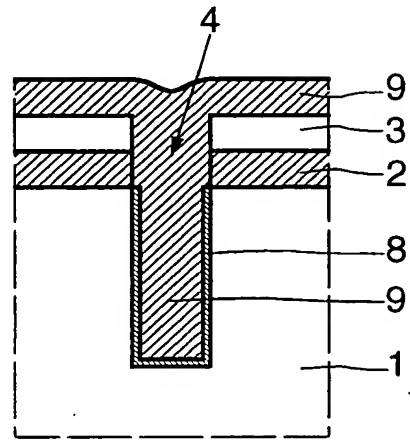


FIG.2c

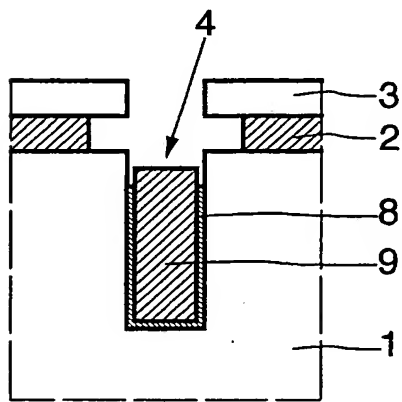


FIG.2d

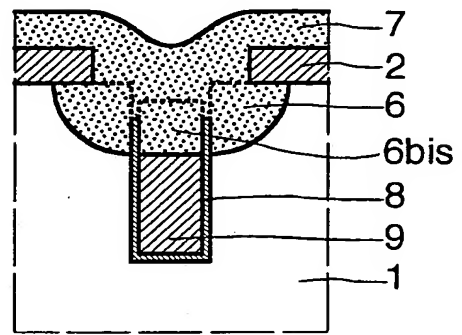


FIG.2e

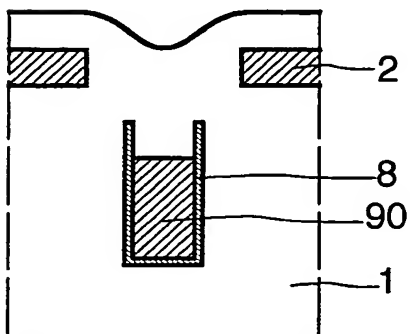


FIG.2f

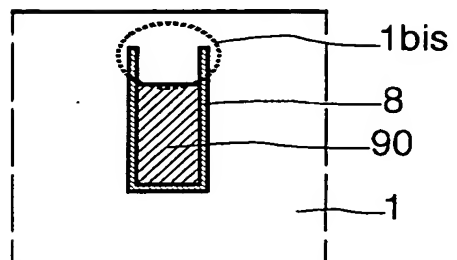


FIG.3a

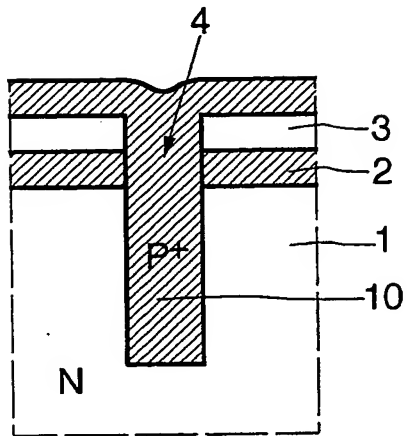


FIG.3b

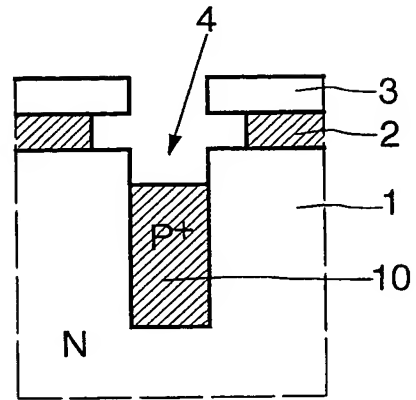


FIG.3c

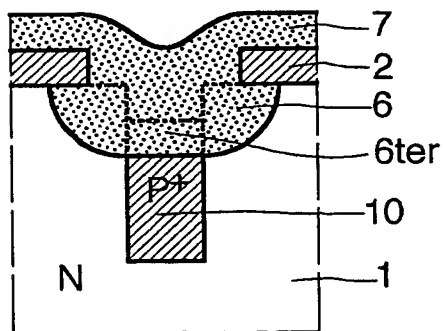
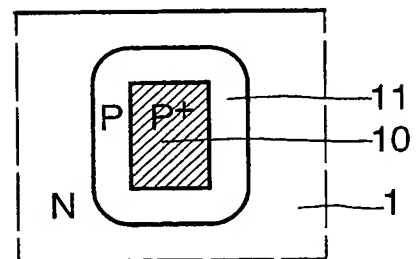


FIG.3d





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg

75800 Paris Cedex 08

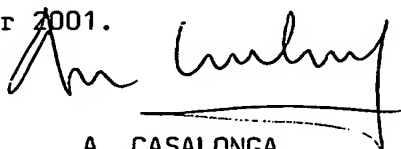
Téléphone : 01 53 04 53 04 Télécopie : 01 42 94 86 54

DÉSIGNATION D'INVENTEUR(S) Page N° .1. / .1.

(Si le demandeur n'est pas l'inventeur ou l'unique inventeur)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 W /260899

<b>Vos références pour ce dossier</b> (facultatif)		B 00/3258 FR	
<b>N° D'ENREGISTREMENT NATIONAL</b>		01 00414	
<b>TITRE DE L'INVENTION</b> (200 caractères ou espaces maximum)			
Procédé de fabrication d'un substrat monocristallin, et circuit intégré comportant un tel substrat.			
<b>LE(S) DEMANDEUR(S) :</b>			
Société Anonyme dite : STMicroelectronics SA			
<b>DESIGNE(NT) EN TANT QU'INVENTEUR(S) :</b> (Indiquez en haut à droite «Page N° 1/1» S'il y a plus de trois inventeurs, utilisez un formulaire identique et numérotez chaque page en indiquant le nombre total de pages).			
<b>Nom</b>		MENUT	
<b>Prénoms</b>		Olivier	
<b>Adresse</b>	<b>Rue</b>	7 Boulevard des Diablos bleus	
	<b>Code postal et ville</b>	38000	GRENOBLE
<b>Société d'appartenance</b> (facultatif)			
<b>Nom</b>		GRIS	
<b>Prénoms</b>		Yvon	
<b>Adresse</b>	<b>Rue</b>	Les Obdonnières	
	<b>Code postal et ville</b>	38210	TULLINS
<b>Société d'appartenance</b> (facultatif)			
<b>Nom</b>			
<b>Prénoms</b>			
<b>Adresse</b>	<b>Rue</b>		
	<b>Code postal et ville</b>		
<b>Société d'appartenance</b> (facultatif)			
<b>DATE ET SIGNATURE(S)</b> <b>DU (DES) DEMANDEUR(S)</b> <b>OU DU MANDATAIRE</b> (N m t qualif du signataire)		Paris, le 12 Janvier 2001.  A. CASALONGA (bm 92-1044i) Conseil en Propriété Industrielle	

**THIS PAGE BLANK (USPTO)**